

全国大学生嵌入式芯片与系统设计竞赛'2025

FPGA 创新设计赛道选题指南

(AMD)

目录

| | |
|-------------------|-----------|
| 一、公司介绍..... | 错误!未定义书签。 |
| 二、竞赛技术平台 | 2 |
| 三、选题方向 | 4 |
| 四、开发板获取途径 | 10 |
| 五、技术支持与技术资源 | 11 |
| 六、其它 | 12 |

一、 公司介绍

超威半导体公司 (AMD, Advanced Micro Devices, Inc.) 成立于 1969 年, 总部位于美国加州圣克拉拉, 是全球领先的半导体设计企业之一。公司专注于高性能计算、图形和可视化技术, 产品涵盖桌面与服务器处理器、GPU 显卡、加速计算平台等领域。凭借锐龙 (Ryzen)、霄龙 (EPYC) 和镭龙 (Radeon) 等产品线, AMD 在数据中心、高性能计算和个人 PC 市场持续扩大影响力。近年来, 随着人工智能、大数据和云计算的发展, AMD 不断加强在异构计算和高能效架构上的布局, 成为全球芯片产业重要力量。

在 FPGA 与 SoC 领域, AMD 于 2022 年完成对赛灵思 (Xilinx) 的收购, 进一步扩展了自身的产品组合。AMD FPGA 和自适应 SoC 广泛应用于数据中心、5G 通信、汽车电子、工业控制等场景, 能够满足灵活性和高性能并存的需求。其 Versal 自适应 SoC 系列将 AI 引擎、可编程逻辑与高效处理器结合, 为智能边缘和高性能计算任务提供卓越支持; Alveo 加速卡则面向数据中心和云应用, 助力低延迟高吞吐的加速计算。通过整合 CPU、GPU 与 FPGA 的异构计算生态, AMD 正推动从云到端的智能化应用发展, 为新一代计算平台奠定基础。

二、 竞赛技术平台

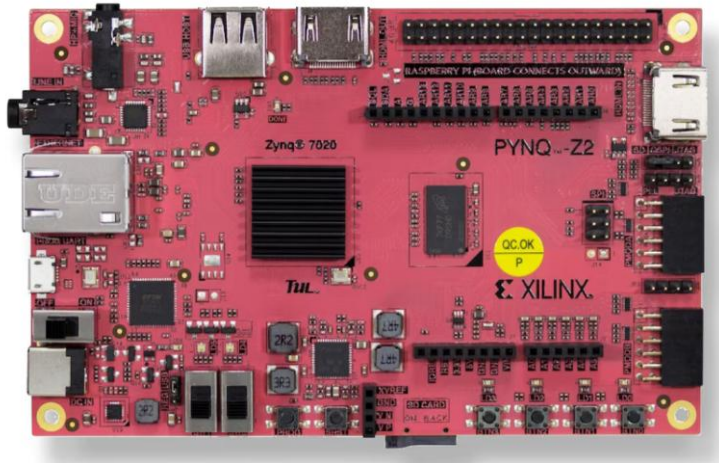
2.1 AMD PYNQ-Z2 板 (PYNQ-Z2 Board)

PYNQ-Z2 是一款基于 Zynq-7000 SoC 的开发板，定位于教育与初学者平台，支持通过 Python 和 Jupyter Notebook 控制 FPGA 与处理器资源。

核心特点

- 利用 PYNQ 框架，开发者可使用 Python API 调用硬件逻辑 (overlay)，无需深入硬件设计。
- 配备双 ARM Cortex-A9 CPU + FPGA，可实现硬件加速与嵌入式系统开发。
- 接口丰富：HDMI 输入/输出、以太网、USB、音频接口、Arduino 和 Raspberry Pi 扩展接口、Pmod 接口、LED 按钮等。
- 适合计算机视觉、信号处理、硬件教学、嵌入式实验等应。
- 通常通过 micro-SD 卡启动，支持使用 Jupyter Notebook 进行远程控制和开发。

参考链接：<https://pynq.readthedocs.io/en/latest/index.html>



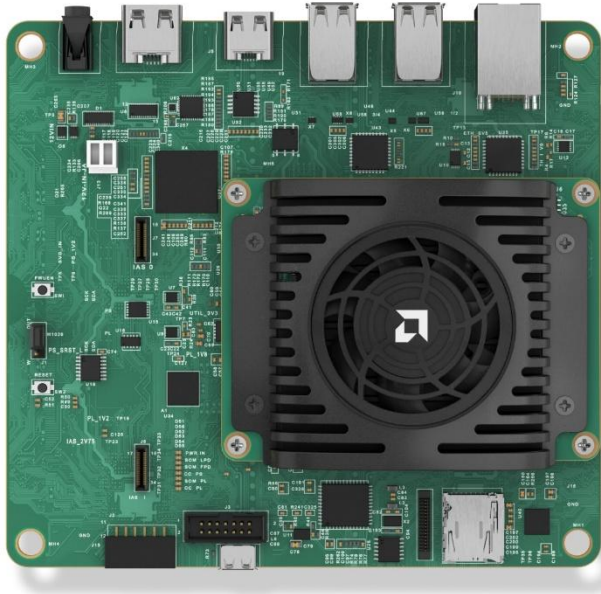
2.2 AMD Kria SOM KV260 (Kria KV260 Vision AI Starter Kit)

KV260 是 Kria 系列中面向视觉 AI 应用的入门开发套件，由 K26 SOM 和载板 (carrier card) 组成，适合快速原型与部署，无需深入硬件设计经验。

核心特点

- 基于 Zynq UltraScale+ MPSoC，具备强大的可编程逻辑、ARM 处理器和 AI 加速能力。

- 预装视觉 AI 应用，如智能摄像头功能，包括人车检测、物体识别等，支持即插即用。
- 多种接口支持：多路 MIPI 摄像头接口（可达 3 个）、USB 摄像头、DisplayPort、HDMI 输出、以太网、USB3.0/2.0、Pmod 等。
- 搭载 OnSemi 图像传感处理单元 (ISP)，具备高效图像预处理能力。
- 板载主动散热（风扇 + 散热片），适合长期运行及高负载场景。
- 提供 Secure Boot、安全根 (RoT)、TPM2.0 等安全功能；搭载 4GB DDR 内存以及多个非易失存储选项。



三、 选题方向

本届全国 FPGA 创新设计大赛 AMD 赛道共分为 4 个子赛道，每个赛道对参赛选手的年级、提交的格式，大模型辅助优化设计以及开源有不同的要求，请同学们仔细阅读以下赛道的内容，在符合选题要求的情况下，选择合适的赛道。

- 命题式基础赛道
- 国际赛道 - FPT 会议
- 自主选题 - 初级赛道
- 自主选题 - 高级赛道

2025 年竞赛重点特色：国际化升级

今年新增国际赛道，与国际会议 FPT(International Conference on Field Programmable Technology)竞赛接轨，将通过全国大学生嵌入式芯片与系统设计竞赛 FPGA 创新设计竞赛-AMD 通道报名，为参赛学生提供国际学术交流平台。

3.1 命题式基础赛道（大一至大三在校本科生）

3.1.1 赛道简介

随着大模型生成代码的能力越来越强，命题式基础赛道鼓励学生积极使用大模型工具，并将基于提示词工程的 LLM 辅助优化代码记录详细体现在设计报告中。高层次综合 (High-Level Synthesis, HLS) 已成为 FPGA/异构计算中重要的设计方法。本赛道以基于 Vitis HLS 工具的加速器内核设计为核心，要求利用 LLM 辅助进行设计优化，包含设计空间探索、代码重构、性能/资源权衡等方面。选手需根据给定的功能描述与性能目标，利用 HLS 工具完成 HLS IP 设计，并通过大模型辅助优化，实现更高效的硬件设计。学有余力的同学更鼓励设计基于大模型协助优化 HLS 代码生成的智能体应用，相关创新方法也需要在报告中充分展示，均在评分标准中有体现。

3.1.2 设计任务

参赛队伍需在指定项目的基础上，完成以下设计任务之一（二选一）：

- 信号处理任务
- 神经网络加速器设计任务

注意：任务具体赛题细节将在 10 月中旬发布，赛题任务完成时间为两周。赛题任务完成后将代码和报告按照格式要求提交至大赛系统并在 GitHub 和 Gitee 上开源。进

入决赛的选手将在规定时间内按照决赛赛题要求，完成 HLS IP 设计上 PYNQ 板卡的现场测试的需求，并现场答辩。

3.1.3 设计与优化要求

3.1.3.1 工具限制

- 必须使用 Vitis HLS 工具 (推荐 AMD Vitis HLS 2024.2)
- 允许使用 LLM (DeepSeek、Qwen 等任意公开大模型) 辅助优化，允许使用微调后的本地大模型，允许使用基于大模型构建的协助优化代码生成的智能体应用，均需提交体现大模型优化设计的交互记录
推荐：DeepSeek-Coder, Qwen-Coder 等

3.1.3.2 板卡限制

AMD PYNQ-Z2

3.1.4 优化目标

- 减少片上存储 (BRAM) 使用
- 提升流水线性能 (降低 II / 提高吞吐率)
- 提高性能/资源比 (MACs/DSP 或 throughput/BRAM)

3.1.5 提交内容

3.1.5.1 代码文件包

- HLS 源代码与工程文件 (必须按照给定的提交格式)
- 输出正确性验证结果 (C 代码仿真与联合仿真通过的报告文件)

3.1.5.2 设计报告

- 设计原理和功能框图
- 优化方向选择与原理
- LLM 辅助优化记录 (Prompt 与模型回答, 智能体 workflow 设计方法)
- 优化前后性能与资源对比报告 (含 BRAM/LUT/FF/DSP/II/Latency)

3.1.5.3 评测指标与权重

| 评测项 | 权重 |
|--------------|-----|
| 功能正确性 (输出质量) | 30% |
| 性能与资源优化效果 | 30% |

| | |
|--------------|-----|
| LLM 辅助优化设计 | 20% |
| 可复现工程代码与报告质量 | 20% |

3.1.6 赛程安排

备赛期

报名开始至 10 月初： 下载并学习 Vitis HLS 工具使用， 学习使用 LLM 提示词优化设计并复现案例工程

初赛

- 10 月 18 日 (Day 0)： 初赛发布赛题与工程代码
- 11 月 1 日 (Day 14)： 代码以及报告提交至系统

决赛

- 11 月 29 日： FPGA 创新设计赛道现场决赛

参考工程案例

基于 Vitis HLS 实现的 Lucas-Kanade (LK) 光流算法在 FPGA 上的硬件加速

学习重点： 大模型提示词工程以及优化过程

AMD 官方高层次综合工具项目学习案例

网址： https://xilinx.github.io/xup_high_level_synthesis_design_flow/

学习重点： 高层次综合工具优化策略

项目案例：

- FIR
- MatMul
- Convolution Filter
- Sobel

3.2 国际赛道 - FPT 会议

3.2.1 赛道背景

随着全球智能汽车和自动驾驶产业的快速发展，算法模型日益复杂、数据处理量剧增，对车载计算平台提出了前所未有的实时性和能效挑战。传统的 CPU 和 GPU 架构在自动驾驶场景下已难以兼顾高性能与低功耗。FPGA（现场可编程门阵列）凭借高度并行、低时延、可定制和可重构等优势，日益成为自动驾驶算法工程落地的重要技术

支撑。然而，如何充分释放 FPGA 的潜能，实现高效的软硬件协同与敏捷开发，已成为业界和学术界关注的焦点。

本竞赛聚焦 L5 级无人驾驶复杂算法与大模型 AI 推理的 FPGA 硬件加速设计，旨在推动前沿算法与硬件创新深度融合，促进成果的工程化和可持续发展。

3.2.2 赛题内容

本届竞赛设立两个赛题方向，具体赛题要求和评测指标详见 FPT 会议竞赛官网 <https://fpt2025.shanghaitech.edu.cn/design-competition/>

- **SLAM 算法 FPGA 加速与优化赛题**

面向嵌入式/边缘自动驾驶场景，要求基于 AMD KV260 平台，对公开 KITTI 数据集的 SLAM 算法进行软硬件协同加速设计，着重考察定位精度、加速性能与工程创新。

- **大模型激活函数 FPGA 加速赛题**

针对端侧大语言模型推理中核心激活函数，要求基于 AMD KV260 平台，设计高效的 FPGA 硬件加速方案，支持 bfloat16 数据类型，重点考察运算精度、资源复用和吞吐性能。

3.2.3 赛程安排

初赛评审

- 双盲评审，确保公平公正
- 专家来自国际知名高校、企业及 FPGA 领域专家库
- 评分指标见附件赛题要求

提交内容

论文报告（英文，IEEE conference 双栏模板，正文不多于 4 页 + 不限篇幅附页，详见附件要求。获奖后，仅正文部分会被收录到 FPT 会议电子论文集）

可复现工程文件（含 Vivado 工程、复现脚本、测试数据、Github 地址等，获奖项目需要开源）演示视频（5 分钟以内，展示算法功能、硬件加速效果、部署演示等）

决赛评审

5 分钟汇报，5 分钟现场展示，5 分钟答辩，考察创新性、可扩展性与工程实现必须提交英文答辩 PPT 和实物（可搭建演示小车等）

因特殊原因无法现场参赛者可申请线上参加决赛

评分指标:

- 性能与技术创新性 (40%)
- 现场答辩及演示效果 (40%)
- 论文报告 (20%)

3.3 自主选题 - 初级赛道 (大一至大三在本科生)

参赛队伍可自由选择 AMD FPGA/ZYNQ 系列的器件, 作品将重点考察队伍逻辑、状态机、时序、接口等基本 FPGA 设计能力, 队员必须为本科三年级及以下年级学生, 鼓励队伍在最终作品提交报告中体现作品的创新性以及设计优化的过程。此赛道对使用 ARM 等处理器上的软件工作不作为主要考核指标。

- 报名后台系统有对学生证的审核流程, 如发现违规报名将取消参赛资格。
- 该赛道所有提交的作品需提交可复现工程, 进入决赛的队伍需要将项目开源在 Github 或 Gitee 仓库中
- LLM 辅助优化内容, 或 LLM 智能体的设计及使用必须涵盖在设计报告中

评测指标与权重

| 评测项 | 权重 |
|--------------|-----|
| 功能正确性 (输出质量) | 20% |
| 性能与资源优化效果 | 20% |
| 作品创新性 | 20% |
| LLM 辅助优化设计 | 20% |
| 可复现工程代码与报告质量 | 20% |

3.4 自主选题 - 高级赛道 (大四及硕博)

此赛道参赛队伍可以使用 AMD 的 FPGA、Zynq 和 Versal 器件, 无逻辑资源限制, 无队员学历限制。鼓励队伍综合考虑软硬件协同, 充分发挥器件整体性能。建议作品提交报告中加入对设计优化、创新应用价值、同行比较等讨论。

- 报名后台系统有对学生证的审核流程, 如发现违规报名将取消参赛资格。
- 该赛道所有提交的作品需提交可复现工程, 建议开源
- LLM 辅助优化记录, 或 LLM 智能体的设计及使用记录必须涵盖在设计报告中

评测指标与权重

| 评测项 | 权重 |
|--------------|-----|
| 功能正确性 (输出质量) | 20% |
| 性能与资源优化效果 | 30% |
| 创新应用价值 | 20% |
| LLM 辅助优化设计 | 10% |
| 可复现工程代码与报告质量 | 20% |

四、 开发板获取途径

本次竞赛无板卡租赁，在比赛报名结束后将提供有限数量的远程板卡使用包括 PYNQ-Z2 以及 KV260。

五、 技术支持与技术资源

为帮助参赛同学解决竞赛过程中遇到的各类问题，我们提供多种技术支持渠道。推荐优先在 AMD FPGA 中文技术论坛寻求专业解答。

常见问题 FAQ

报名指南、赛道选择等常见问题，将在 2025 年 AMD FPGA 竞赛 FAQ 云文档中持续更新维护。

<https://docs.qq.com/doc/DR1NzWnJua25MYWFL>

培训与交流

- 交流 QQ 群：1022632722
- 命题式 FPGA 设计能力专项 GitHub： <https://gitee.com/Vickyiii/fpgachina25-amd>

技术问题咨询

AMD 中文技术论坛：面向广大开发者的专业技术交流平台，历史讨论中包含大量问题解答 <https://forums.xilinx.com/cn>

其他问题咨询

邮箱联系： fpgacamp.cn@outlook.com

六、 其它

所有进入决赛的自主选题队伍需要按照 AMD 提供的 PPT 模板提供一页英文 PPT 海报作为作品简介，将不包含队伍信息的海报用 A4 纸彩色打印并带到决赛现场。PPT 模板将作为附件提供。